

(19)



JAPANESE PATENT OFFICE

JPA 5-191575

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **05191575 A**

(43) Date of publication of application: **30.07.93**

(51) Int. Cl.
H04N 1/04
H04N 1/028
H04N 1/40

(21) Application number: **04025814**

(22) Date of filing: **16.01.92**

(71) Applicant: **RICOH CO LTD**

(72) Inventor: **YAMAMOTO NORIHIRO**
TAKASE OSAMU

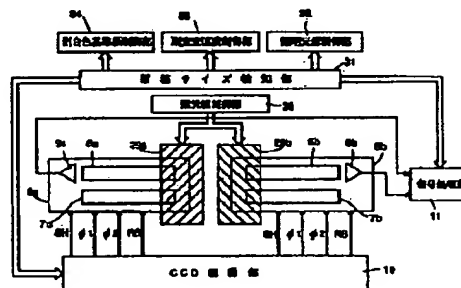
(54) ORIGINAL READER

(57) Abstract:

PURPOSE: To speed up the processing and to enable shading correction based on the time change of the intensity of the light source.

CONSTITUTION: CCD line sensors 6a and 6b send signal charges which are photoelectrically converted into the incident light by photo diode arrays 7a and 7b and stored to CCD shift registers 8a and 8b, transfers each pixel signal to output sections 9a and 9b successively to read one line of pixel signal. The CCD line sensors 6a and 6b are driven separately and simultaneously by a driving section 10. The processings such as sample-and-hold, A/D conversion, dark output correction, rearrangement outputting two data parallelly outputted in the inverse direction each other from the center of the original picture as one serial data string arranged in the order from the end data of the original picture, and shading correction are performed on the output signals by a signal processing section 11.

COPYRIGHT: (C)1993,JPO&Japio



(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-191575

(43)公開日 平成5年(1993)7月30日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 N 1/04	1 0 3 Z	7251-5C		
1/028	A	9070-5C		
1/40	1 0 1 A	9068-5C		
	B	9068-5C		

審査請求 未請求 請求項の数6(全 17 頁)

(21)出願番号 特願平4-25814

(22)出願日 平成4年(1992)1月16日

(71)出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72)発明者 山本 典弘

東京都大田区中馬込1丁目3番6号 株式会社リコー内

(72)発明者 高瀬 修

東京都大田区中馬込1丁目3番6号 株式会社リコー内

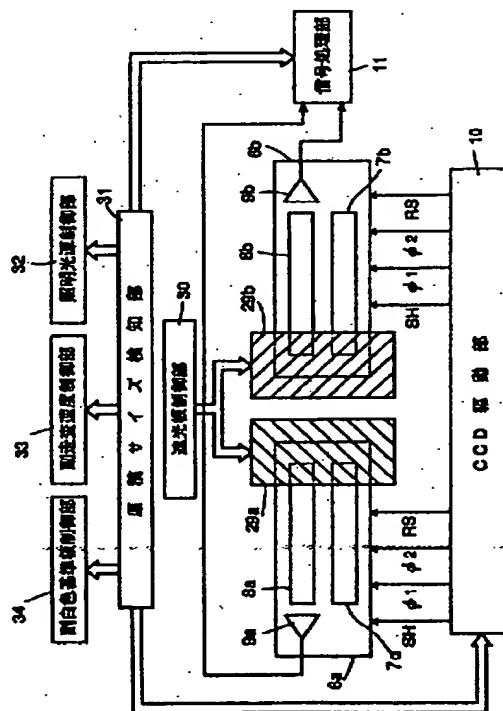
(74)代理人 弁理士 高野 明近 (外1名)

(54)【発明の名称】 画像読取装置

(57)【要約】

【目的】 高速化を図るとともに、光源強度の時間変化に追従したシェーディング補正を可能とする。

【構成】 CCDラインセンサ6a、6bは入射光をフォトダイオードアレイ7a、7bで光電変換、蓄積した信号電荷をCCDシフトレジスタ8a、8bに送り、各画素信号を順次出力部9a、9bに送りだし、1ライン分(センサ)の画素信号を読みだすことができる。CCDラインセンサ6a、6bは駆動部10によりそれぞれ独立に、かつ同時に駆動され、出力信号は信号処理部11によりサンプルホールド、A/D変換、暗時出力補正、原稿画像の中心部分から互いに逆方向に並列に出力された2つのデータ列を、原稿画像の端のデータから順に並んだ1つの直列データ列として出力する並び替え、シェーディング補正などの処理がなされる。



【特許請求の範囲】

【請求項 1】 光電変換素子により原稿の濃度に応じた電気信号を得る画像読取装置において、原稿領域を主走査方向に 2 分割して読み取るように光電変換素子をその原稿領域に対応させて 2 つ設け、該 2 つの光電変換素子の最初に読み出される読み取り画素に対応する原稿位置が原稿領域の主走査方向のほぼ中央で、かつ次に続いて読みだされる読み取り画素に対応する原稿位置の方向が互いに逆方向となるように設置し、原稿以外からの反射光を遮光する主走査方向に移動可能な遮光板と、主走査方向に移動可能な副白色基準板と、原稿のサイズを検知する原稿サイズ検知手段と、原稿のサイズにより遮光板の位置を制御する遮光板制御部と、原稿のサイズにより副白色板の位置を制御する副白色板制御部と、原稿のサイズにより照明光源の強度を制御する照明光源制御部と、原稿のサイズにより副走査速度を制御する副走査速度制御部と、感光部がなく転送部のみの画素の出力部分をホールドする第 1 のホールド手段と、副白色基準板を撮像した出力部分をホールドする第 2 のホールド手段と、前記第 1 のホールド手段及び第 2 のホールド手段の出力値を基準として白色基準板および画像読み取り信号を正規化する第 1 の正規化手段と、該第 1 の正規化手段の出力である正規化された白色基準板読み取り信号を 1 ラインにわたり記憶する記憶手段と、前記第 1 の正規化手段の出力である正規化された画像読み取り信号を前記記憶手段の内容を 1 ラインにわたり読み出した出力により正規化する第 2 の正規化手段とを設けたことを特徴とする画像読取装置。

【請求項 2】 1 ラインにわたる暗時出力信号のうち、感光部がなく転送部のみの画素の出力部分をホールドする第 1 のホールド手段と、感光部に光シールドがなされている画素の出力部分をホールドする第 2 のホールド手段と、前記 2 つのホールド手段の出力を基準として 1 ラインにわたる暗時出力信号を正規化する第 1 の正規化手段と、前記正規化された 1 ラインにわたる暗時出力信号を記憶する第 2 の記憶手段と、感光部に光シールドがなされている画素の出力をホールドする第 3 のホールド手段と、該第 3 のホールド手段の出力と前記第 2 の記憶手段の内容を 1 ラインにわたり読み出した出力とを乗算する乗算手段と、該乗算手段の出力を画像を読み取ったときの出力から減ずる減算手段とを設けたことを特徴とする請求項 1 記載の画像読取装置。

【請求項 3】 1 ラインにわたる暗時出力信号のうち、感光部がなく転送部のみの画素の出力部分をホールドする第 1 のホールド手段と、感光部に光シールドがなされている画素の出力部分をホールドする第 2 のホールド手段と、前記第 1 のホールド手段及び第 2 のホールド手段の出力を基準として 1 ラインにわたる暗時出力信号を正規化する第 1 の正規化手段と、正規化された 1 ラインにわたる暗時出力信号を記憶する第 2 の記憶手段と、感光

部に光シールドがなされている画素の出力をホールドする第 3 のホールド手段と、該第 3 のホールド手段の出力と前記第 2 の記憶手段の内容を 1 ラインにわたり読み出した出力とを乗算する乗算手段と、該乗算手段の出力から実際に光電変換素子から出力される蓄積された暗時出力信号を生成する生成手段と、前記蓄積された暗時出力信号を生成する生成手段の出力を画像を読み取ったときの出力から減ずる減算手段とを設けたことを特徴とする請求項 1 記載の画像読取装置。

【請求項 4】 1 ラインにわたる暗時出力信号を光電変換素子から読み出すときの蓄積時間を、画像を読み取るときのラインあたりの蓄積時間に比べ長く設定することを特徴とする請求項 2 又は 3 記載の画像読取装置。

【請求項 5】 1 ラインにわたる暗時出力信号の第 2 の記憶手段と、感光部に光シールドがなされている画素の出力部分をホールドする第 3 のホールド手段と、該第 3 のホールド手段の出力と、前記第 2 の記憶手段の内容を 1 ラインにわたり読み出した出力とを乗算する乗算手段と、該乗算手段の出力から実際に光電変換素子から出力される蓄積された暗時出力信号を生成する生成手段と、前記蓄積された暗時出力信号を生成する生成手段の出力を画像を読み取ったときの出力から減ずる減算手段とを設けたことを特徴とする請求項 1 記載の画像読取装置。

【請求項 6】 原稿画像の中心部分から互いに逆方向に並列に出力された 2 つのデータ列を、原稿画像の端のデータから順に並んだ 1 つの直列データ列として出力する並べ替え回路を設けたことを特徴とする請求項 1 ～ 5 のいずれかに記載の画像読取装置。

【発明の詳細な説明】

【 0 0 0 1 】

【技術分野】 本発明は、画像読取装置に関し、より詳細には、CCD ラインセンサを用いた画像読取装置に係り、特に高速、高精細読み取りの可能な画像読取装置に関する。例えば、スキャナ、複写機、ファクシミリなどの画像入力に適用されるものである。

【 0 0 0 2 】

【従来技術】 CCD ラインセンサを用いた画像読取装置において、原稿を複数の領域にわけ、それぞれの領域に対応したラインセンサを主走査方向に複数個並べて原稿画像を読み取る画像読取装置が提案されている。例えば、特公平 1 - 5 3 5 3 8 号公報のものは、画像読み取りの読み取り速度、読み取り密度を高めようとしている。また、近年、高速高精細な読み取りが可能なスキャナが望まれている。また、微細加工技術の進歩で高速動作可能な CCD ラインセンサ、高密度の CCD ラインセンサが出現している。しかし、従来の技術である 1 つの CCD ラインセンサを使う画像読取装置では、高速、高精細という点でまだ十分でない。無理に高速、高精細な読み取りを達成しようとすれば CCD 駆動回路、出力信号処理回路が高速動作可能であることが要求され、コス

トの点で不利なばかりか読み出す画素情報の精度も悪くなることが予想される。

【0003】また、従来例では読み取ることのできる最大原稿サイズより小さい原稿を読み取るときに、CCDラインセンサの画素情報のうち不要な画素情報を含むすべての画素情報を読みだし、処理しているので読み取り効率が悪くなっている。このため先に提案された画像読取装置では、原稿を2つの領域に分割し、それぞれの領域に2つのCCDラインセンサを対応させ、原稿画像以外からの反射光を遮光板で遮光し、原稿画像領域に対応する画素の出力のみを原稿画像のほぼ中心から出力するので、従来の技術（例えば、特公平2-264568号公報）のように読み取り領域の端に固定された副白色基準板の読み取り信号を基準として光源強度の時間変化に追従したシェーディング補正を行なうことはできない。

【0004】

【目的】本発明は、上述のごとき実情に鑑みなされたもので、CCDラインセンサ、CCD駆動回路、出力信号処理回路の動作が低速であっても高速、高精細な読み取りが可能で、小さい原稿を読み取るときには、必要な画素だけ読み出すことが可能であり、高速化を図ることができ、光源強度の時間変化に追従したシェーディング補正のできる画像読取装置を提供すること、また、2つのCCDラインセンサを用いることにより、高速、高精細な読み取りが可能であり、とくに小さい原稿を読み取るときにより高速に読み取ることができ、光源強度の時間変化に追従したシェーディング補正を行なうことでより高精細な読み取りが可能である画像読取装置を提供すること、また、CCDラインセンサの持つ画素数より少ない画素数だけ読みだしを行なったときにも暗時出力の補正を精度よくできる画像読取装置を提供すること、さらには、出力形式が1つのCCDラインセンサと同様であるような画像読取装置を提供することを目的としてなされたものである。

【0005】

【構成】本発明は、上記目的を達成するために、(1)光電変換素子により原稿の濃度に応じた電気信号を得る画像読取装置において、原稿領域を主走査方向に2分割して読み取るように光電変換素子(6a, 6b)をその原稿領域に対応させて2つ設け、該2つの光電変換素子(6a, 6b)の最初に読み出される読み取り画素に対応する原稿位置が原稿領域の主走査方向のほぼ中央で、かつ次に続いて読みだされる読み取り画素に対応する原稿位置の方向が互いに逆方向となるように設置し、原稿以外からの反射光を遮光する主走査方向に移動可能な遮光板(29a, 29b)と、主走査方向に移動可能な副白色基準板(40a, 40b)と、原稿のサイズを検知する原稿サイズ検知手段(31)と、原稿のサイズにより遮光板の位置を制御する遮光板制御部(30)と、原稿のサイズにより副白色板の位置を制御する副白色板制

御部(34)と、原稿のサイズにより照明光源の強度を制御する照明光源制御部(32)と、原稿のサイズにより副走査速度を制御する副走査速度制御部(33)と、感光部がなく転送部のみの画素の出力部分をホールドする第1のホールド手段(52a, 52b)と、副白色基準板(40a, 40b)を撮像した出力部分をホールドする第2のホールド手段(53a, 53b)と、前記第1のホールド手段及び第2のホールド手段(52a, 52b, 53a, 53b)の出力値を基準として白色基準板および画像読み取り信号を正規化する第1の正規化手段(56a, 56b)と、該第1の正規化手段(56a, 56b)の出力である正規化された白色基準板読み取り信号を1ラインにわたり記憶する記憶手段(65a, 65b)と、前記第1の正規化手段(56a, 56b)の出力である正規化された画像読み取り信号を前記記憶手段(65a, 65b)の内容を1ラインにわたり読み出した出力により正規化する第2の正規化手段(66a, 66b)とを設けたこと、更には、(2)1ラインにわたる暗時出力信号のうち、感光部がなく転送部のみの画素の出力部分をホールドする第1のホールド手段(52a, 52b)と、感光部に光シールドがなされている画素の出力部分をホールドする第2のホールド手段(53a, 53b)と、前記2つのホールド手段の出力を基準として1ラインにわたる暗時出力信号を正規化する第1の正規化手段(56a, 56b)と、前記正規化された1ラインにわたる暗時出力信号を記憶する第2の記憶手段(58a, 58b)と、感光部に光シールドがなされている画素の出力をホールドする第3のホールド手段(59a, 59b)と、該第3のホールド手段の出力と前記第2の記憶手段の内容を1ラインにわたり読み出した出力とを乗算する乗算手段(60a, 60b)と、該乗算手段の出力を画像を読み取ったときの出力から減ずる減算手段(63a, 63b)とを設けたこと、更には、(3)1ラインにわたる暗時出力信号のうち、感光部がなく転送部のみの画素の出力部分をホールドする第1のホールド手段(52a, 52b)と、感光部に光シールドがなされている画素の出力部分をホールドする第2のホールド手段(53a, 53b)と、前記第1のホールド手段及び第2のホールド手段(52a, 52b, 53a, 53b)の出力を基準として1ラインにわたる暗時出力信号を正規化する第1の正規化手段(56a, 56b)と、前記正規化された1ラインにわたる暗時出力信号を記憶する第2の記憶手段(58a, 58b)と、感光部に光シールドがなされている画素の出力をホールドする第3のホールド手段(59a, 59b)と、該第3のホールド手段の出力と前記第2の記憶手段の内容を1ラインにわたり読み出した出力とを乗算する乗算手段(60a, 60b)と、該乗算手段(60a, 60b)の出力から実際に光電変換素子(6a, 6b)から出力される蓄積された暗時出力信号を生成する生成

手段(61a, 61b, 62a, 62b)と、前記蓄積された暗時出力信号を生成する手段(61a, 61b, 62a, 62b)の出力を画像を読み取ったときの出力から減ずる減算手段(63a, 63b)とを設けたこと、更には、(4)前記(2)又は(3)において、1ラインにわたる暗時出力信号を光電変換素子から読み出すときの蓄積時間を、画像を読み取るときラインあたりの蓄積時間に比べ長く設定すること、更には、(5)前記(1)において、1ラインにわたる暗時出力信号の第2の記憶手段(80a, 80b)と、感光部に光シールドがなされている画素の出力部分をホールドする第3のホールド手段(59a, 59b)と、該第3のホールド手段(59a, 59b)の出力と、前記第2の記憶手段(80a, 80b)の内容を1ラインにわたり読み出した出力とを乗算する乗算手段(60a, 60b)と、該乗算手段(60a, 60b)の出力から実際に光電変換素子(6a, 6b)から出力される蓄積された暗時出力信号を生成する生成手段(61a, 61b, 62a, 62b)と、前記蓄積された暗時出力信号を生成する生成手段(61a, 61b, 62a, 62b)の出力を画像を読み取ったときの出力から減ずる減算手段(63a, 63b)とを設けたこと、更には、(6)前記

(1)~(4)のいずれかにおいて、原稿画像の中心部分から互いに逆方向に並列に出力された2つのデータ列を、原稿画像の端のデータから順に並んだ1つの直列データ列として出力する並べ替え回路(67)を設けたことを特徴としたものである。以下、本発明の実施例に基づいて説明する。

【0006】図1は、本発明による画像読取装置の一実施例を説明するための構成図で、図中、1は原稿、2はコンタクトガラス、3は照明光源、6a, 6bはCCDラインセンサ、24a, 24bはレンズ、29a, 29bはレンズ、40a, 40bは副白色基準板である。コンタクトガラス2の上の原稿1は照明光源3で線状に照明される。原稿1からの反射光のうち、原稿1の中心から左側の反射光は左側のCCDラインセンサ6a上に、原稿1の中心から右側の反射光は右側のCCDラインセンサ6b上にレンズ29a, 29bにより結像される。また、2つのCCDラインセンサ6a, 6bは線状に照明された画像の中心部分の画像信号がまずはじめに出力されるように出力部が外向きに配置されている。図1に示した光学系は一実施例であり原稿画像を主走査方向(x方向)に2つに分割できる光学系であれば、例えば、ミラー、あるいはハーフミラー、あるいはルーフミラーを使う方法など、どのような方法を用いてもよい。遮光板29a, 29bは読み取り領域以外から反射した反射光を遮光する。副白色基準板40a, 40bは各ライン読み取りでの白基準信号を生成するときに用い、主走査方向に移動することができる。

【0007】図2は、光電変換系、駆動系、信号処理系

を示す図で、図中、7a, 7bはCCDシフトレジスタ、8a, 8bはフォトダイオードアレイ、9a, 9bは出力部、10はCCD駆動部、11は信号処理部、30は遮光板制御部、31は原稿サイズ検知部、32は照明光源制御部、33は副走査速度制御部、34は副白色基準板制御部である。CCDラインセンサ6a, 6bは入射光をフォトダイオードアレイ7a, 7bで光電変換、蓄積した信号電荷をCCD駆動部10からのシフトパルスを受け並列にCCDシフトレジスタ8a, 8bに送る。次にCCDシフトレジスタ8a, 8bにより各画素信号をCCD駆動部10の転送パルスを受け順次出力部9a, 9bに送りだし、1画素分の信号を送り出した後、CCD駆動部10のリセットパルスRSにより電荷をクリアすることをセンサ1ライン分の画素数だけ繰り返すことにより1ライン分(センサ)の画素信号を読みだすことができる。CCDラインセンサ6a, 6bは駆動部10によりそれぞれ独立に、かつ同時に駆動され、出力信号は信号処理部11によりサンプルホールド、A/D変換、暗時出力補正、原稿画像の中心部分から互いに逆方向に並列に出力された2つのデータ列を、原稿画像の端のデータから順に並んだ1つの直列データ列として出力するように並び替え、シェーディング補正などの処理がなされる。信号処理部11における処理の説明は後述する。照明光源3、CCDラインセンサ6a, 6bおよびレンズ24a, 24bは一体となり、図示しないキャリッジ上に設置されており1ラインの読取りが終了するとつぎの読取り位置まで移動する。図3はCCD駆動部の出力するシフトパルスSH、クロックパルスφ1、φ2、リセットパルスRSのタイミング図を示す。

【0008】本発明の実施例では、読み取り可能な最大原稿サイズより小さい原稿1を読み取る場合、原稿からの画像情報を持つ反射光および副白色基準板40a, 40bからの反射光以外を遮光板29a, 29bで遮光し、遮光板29a, 29bで遮光した部分に相当するCCDラインセンサ6a, 6bの画素は読みださないようにする。すなわち本発明の実施例の場合、CCDラインセンサ6a, 6bの出力信号は、例えば、図4(A)のように感光部を持たず転送部のみの画素の出力DS

(E)、光シールドされた感光部を持つ画素の出力DS(S)、読み取り領域に対応する画素の出力、副白色基準板に対応する画素の出力WBの順に出力されるが、CCDラインセンサの持つ画素数がn画素である場合でも副白色基準板に対応する画素の出力WBまでのm(m<n)画素だけ読み出したら次のライン読み取りを開始する。このために原稿サイズ検知部31は自動的に原稿サイズ(主走査方向)を検知するか、あるいは人が指定した原稿サイズ(主走査方向)を検知し、そのサイズからCCDラインセンサ6a, 6bの必要な画素数mを設定する。その設定した画素数の情報をCCD駆動部10、信号処理部11、照明光源制御部32、副走査速度制御

部33、遮光板制御部30、副白色基準板制御部34に送る。

【0009】遮光板制御部30は、送られてきた画素数の情報に従ってCCDラインセンサ6a、6bの画素のうち画像読み取りに寄与しない画素部分を遮光するように遮光板29a、29bを移動する。CCD駆動部10は、送られてきた画素数の情報にしたがってCCDラインセンサの画素をm個だけ読み出すように $\phi 1$ 、 $\phi 2$ をm発出力した後にシフトパルスSHを出力する。信号処理部11では1ラインの画素数が2mであるとして信号

処理する。副走査速度制御部33では、送られてきた画素数の情報に従って副走査速度を決定して副走査を行なう。この場合、1ラインの読み取り時間が m/n 倍になるので、全ての画素nを読み出す場合に比べ副走査速度を n/m 倍にする。照明光源制御部32では、送られてきた画素数の情報に従って照明光源3の強度を決定し照明光源3の駆動を行なう。この場合、1ラインの読み取り時間が m/n 倍になるのでそのままではCCDラインセンサの露光量も m/n 倍に減少する。このため全ての画素nを読み出す場合に比べ、照度が n/m 倍となるように照明光源3を制御する。副白色基準板制御部34は、送られてきた画素数の情報に従って副白色基準板40a、40bを画像読み取り領域のすぐ外側まで移動する。

【0010】本発明の実施例によれば、CCDラインセンサを2つ用い、独立に、かつ同時に駆動することにより、CCDラインセンサを1つ用いた場合に比べ、CCDラインセンサの駆動周波数が同じで、同じ読み取り密度の時には、2倍の速度で1ラインを読み取ることができる。また、CCDラインセンサの駆動周波数が同じで、1ラインの読み取り速度が同じ場合には2倍の読み取り密度で読み取ることができる。原稿画像の中心部分から出力されたデータを原稿画像の端から順に並び替えることで1つのCCDラインセンサを用いたときと同様の出力形式で出力データが得られる。また遮光板を用いて読み取りに寄与しない画素を読みださないようにした

$$d_{s,i}(i, j) = \alpha(i) \cdot d_{s,i}(i, j) + \sum \{d_{s,i}(j+m(h-1))\} \quad (1)$$

ただし、 $\alpha(i)$: 第iライン読み取り時の光源強度
 $d_{s,i}(i, j)$: 第iライン、第j番目の画像信号
 $d_{s,i}(k)$: センサの第k番目の画素で発生する暗出力で $k > n$ のとき $d_{s,i}(k) = 0$

従って、原稿のもつ情報を精度よく電気信号に変換するためには光電変換素子の出力信号に対して暗出力を減ずるためのなんらかの補正、およびCCDラインセンサの画素間の感度バラツキ、光源の強度分布の不均一を補正するシェーディング補正が必要となる。また、本発明においては、暗出力補正、シェーディング補正と共に出力データの並び替えの処理が必要である。このために本発明の実施例の信号処理部11は以下で説明するような構成をとっている。なお、本発明の実施例では、1回の画

ため、小さい原稿を読み取るときに読み取り速度を速くできる。

【0011】なお、この場合で照明の明るさ、副走査速度を一切変えないようにして、CCDラインセンサのクロック速度を m/n 倍にすることにより光電変換素子駆動の消費電力を低減することができる。また照明の明るさ、副走査速度、CCDラインセンサのクロック速度を一切変えないようにして、画像読み取りに関係する画素だけを読みだし、関係しない画素部分はクロックを送らず読みださないようにすることで総データ量を低減することができる。

【0012】上記のような画像読取装置では、1回の画像読取り中に変動する光源強度を補正しなければならない。また、本発明の実施例のようにCCDラインセンサの画素のうち画像読み取りに関与する画素のみを読み出すようにすることにより、露光量に対応する光電変換出力には、その画素で発生した暗出力と前ライン以前の読み取り時に、非読み出し画素において発生した暗出力との和の形で現れる。図5にCCDラインセンサのもつ画素のうち25%の画素を読み出した場合における暗出力の重なりの様子を示す。図5のように、CCDラインセンサが持つCCDシフトレジスタの数だけ出力信号を出力したあとは、各画素から出力される暗時出力は、同じ画素で発生した暗時出力の和となることがわかる。従って、m画素だけ出力する場合でも、暗時出力レベルの時間変化がない場合、CCDラインセンサが持つ画素数nだけを一度出力してしまえばそのあとの読み取りでは各画素の出力信号に含まれる暗時出力分は、各ライン読み取りで一定となる。

【0013】以下に、1回の原稿画像読み取り期間中に暗出力の変動がなく、光源強度の変化がある場合の本発明の実施例の信号の処理部の一実施例について述べる。n画素分のCCDシフトレジスタを持つCCDラインセンサからm画素だけ読み出す場合には第iラインの第j番目の画素出力 $d_{s,i}(i, j)$ は以下ようになる。

$$d_{s,i}(i, j) = \alpha(i) \cdot d_{s,i}(i, j) + \sum \{d_{s,i}(j+m(h-1))\} \quad (1)$$

像読み取りで光源の強度変化の周波数が低く、またCCDラインセンサの温度変化が非常に小さく暗時出力が一定とみなすことができると仮定する。

【0014】図6は、信号処理部の実施例を示す図で、図中、51a、51b、52a、52b、53a、53bはサンプルホールド(S/H)回路、54a、54bは増幅器、55はスイッチ回路、56a、56bはA/D変換器、57a、57bは切換回路、58a、58bは暗出力メモリ、59a、59bは加算平均回路、63a、63bは減算回路、64a、64bは切換回路、65a、65bは白基準メモリ、66a、66bは除算回路、67は並べ替え回路である。CCDラインセンサの出力の1ライン分は、例えば、図4(A)に示されるよ

うな波形である。これら1ラインの波形はS/H回路51a, 51bに導かれCCDラインセンサの転送クロック波形を除去されて、図4(B)の波形になる。この実施例において全ての信号処理の前に各メモリの書き込みアドレス、読み出しアドレスはリセットしておく。次に1ラインにわたる暗出力の発生、記憶を行う。まずはじめにCCDラインセンサの各画素中に残留する暗時出力がないように全ての画素信号を出力しておく。次にスイッチ回路55を図示とは反対の切り換え位置とし、S/H回路51a, 51bの出力はS/H回路52a, 52b、S/H回路53a, 53b、およびA/D変換回路56a, 56bに導かれる。1ラインにわたりCCDラインセンサの露光量をゼロとすると、その1ライン分の出力はS/H回路51a, 51bを経て、図7(A)に示すような波形となる。

【0015】すなわち、DS(S)、読み取り領域がすべて暗出力レベルとなり各画素ごとにその値がばらつく。これをS/H回路52a, 52bに導き、DS(E)の値でサンプルホールドし、A/D変換回路56a, 56bの上限リファレンス V_{refH} とする。次に蓄積

$$D_{sk}(j)/(V_{refH} - V_{refL}) = D_{sk}(j)/D_{sk} \quad (2)$$

ただし、 $D_{sk}(j)$: j番目の画素から出力される蓄積された暗時出力

D_{sk} : DS(S)から出力される蓄積された暗時出力の代表値あるいは平均値であり、各画素から出力される蓄積された暗出力レベルが、光シールドされた感光部から出力される蓄積された暗時出力の何倍あるかを示した値である。この後、暗出力メモリ58a, 58bの書き込みアドレス、読みだしアドレスはリセットされる。

【0017】次に、1ラインの白基準の取り込みを行う。本発明の実施例の場合、画像読み取りの前に読み取る主走査方向の白色基準板は数ライン分の読み取り幅が

$$(d_{...}(j) + D_{sk}(j))/(d_{...} + D_{...}) \quad (3)$$

ただし、

$d_{...}(j)$: 白基準を読み取ったときのj番目の画素における光電変換出力

$d_{...}$: 白基準読み取りの1ライン前のWB光電変換出力

$D_{...}$: WB画素から出力される蓄積された暗時出力となり、この出力は切り換え回路57a, 57bを図示の位置とし加算平均化回路59a, 59b、減算回路63a, 63bに導かれる。

【0018】乗算回路60a, 60bの一方の入力には暗出力メモリ58a, 58bを読み出した出力(式2)

$$\{D_{sk}/(d_{...} + D_{...})\} \cdot (D_{sk}(j)/D_{sk}) = D_{sk}(j)/(d_{...} + D_{...}) \quad (4)$$

となり減算回路63a, 63bの負側入力に導かれる。

【0019】一方、減算回路63a, 63bの正側入力

$$d_{...}(j)/(d_{...} + D_{...})$$

となる。この白基準読み取りの各演算は、読み出し画素

される暗時出力が一定となるまで出力を行ないS/H回路53a, 53bに導き、DS(S)の平均値あるいは代表値でサンプルホールドし、増幅回路54a, 54bで増幅してA/D変換回路56a, 56bの下限リファレンス値 V_{refL} とする。つまりA/D変換回路56a, 56bのリファレンス V_{refH} , V_{refL} と信号入力(S/H回路53a, 53bの出力)との関係は図7(A)に示されるようになる。次に再びCCDラインセンサの各画素中に残留する暗時出力がないように全ての画素信号を出力する。

【0016】これによりA/D変換がなされ、その出力は切り換え回路57a, 57bを下の切り換え位置として(CCDラインセンサの1ライン分以上のメモリ領域をもつ)暗出力メモリ58a, 58bに各々1ライン分(CCDラインセンサの持つ画素数n個だけ)が記憶される。これにより光シールドされた感光部の画素DS(S)の平均値、あるいは代表値を基準にした1ライン分の暗出力パターンの取り込みが終わる。この暗出力パターンは

あるものとする。白基準取り込みのためまずA/D変換器のリファレンス値を生成する。そのため白色基準板の読み取り時にS/H回路51a, 51bの出力をS/H回路53a, 53bに導きWBの値でサンプルホールドし、増幅回路54a, 54bで増幅してA/D変換回路56a, 56bの下限リファレンス値 V_{refL} とする。上限のリファレンス値は、暗時出力パターンの取り込みに用いた V_{refH} を用いる。これによりA/D変換回路56a, 56bのリファレンス V_{refH} , V_{refL} と信号入力(=S/H回路51a, 51bの出力)との関係は図7(B)に示されるようになる。この設定でA/D変換がなされ、その値は、

が入力される。一方、乗算回路60a, 60bのもう一方の入力には加算平均回路59a, 59bの出力が入力される。加算平均化回路59a, 59bは、入力される制御信号がONのときに、入力される画素出力を順次加算して平均値を得る機能を有しており、平均値を得たあとそのままの値を保持する。この場合は第1ライン読み取り時のDS(S)の値のときにONとなる制御信号が入力されている。この間の $d_{...}(j)$ はゼロであるので、加算平均化回路59a, 59bの出力はDS(S)の平均値、あるいは代表値である $D_{sk}/(d_{...} + D_{...})$ となる。この結果、乗算回路60a, 60bの出力は、

には、式(3)が入力されるので減算回路63a, 63bの出力は、

$$(5)$$

数(各センサでm画素)だけ行われる。この出力(式

10

20

30

40

50

(5))を切り換え回路64a, 64bを図示とは反対の切り換え位置として白基準メモリに記憶する。これにより1ライン(各センサでm画素)の白基準の取り込みが終わる。この後、暗出力メモリ58a, 58b、白基準メモリ65a, 65bの書き込みアドレス、読み出し

$$\alpha(i) \cdot d_{..}(i, j) / (\alpha(i-1) \cdot d_{..}(i, j) + D_{..}(i, j)) \quad (6)$$

ただし、 $\alpha(i)$: 第iラインの読み取りの時の光源強度が白色基板を読み取ったときの光源強度の何倍かを示す係数

$d_{..}(i, j)$: 画素を読み取ったときのj番目の画素における光電変換出力

である。この出力は、切り替え回路64a, 64bを図

$$\begin{aligned} & \{ \alpha(i) \cdot d_{..}(i, j) / (\alpha(i-1) \cdot d_{..}(i, j) + D_{..}(i, j)) \} / \{ d_{..}(j) / (d_{..}(j) + D_{..}(j)) \} \\ & = \{ d_{..}(i, j) / d_{..}(j) \} \cdot \{ \alpha(i) \cdot (d_{..}(i, j) + D_{..}(i, j)) / (\alpha(i-1) \cdot d_{..}(i, j) + D_{..}(i, j)) \} \end{aligned} \quad (7)$$

となり、 $\{ \alpha(i) \cdot (d_{..}(i, j) + D_{..}(i, j)) / (\alpha(i-1) \cdot d_{..}(i, j) + D_{..}(i, j)) \}$ は光源変動の周波数が、画像読み取り時のライン読み取り周波数に対して十分小さいときは~1となるので、その場合、暗出力補正、シェーディング補正を施されたデータが出力されることになる。この原稿画像の中心から逆方向に並列に出力された2つのデータは、並べ替え回路67に入力され、原稿の端のデータから順に並んだ1つの直列データ列として出力される。すなわち並べ替えを行なう前のデータ列は、図10(A), (B)のような並びの2つの並列データ列であるが、並び替え回路67において図10(C)のように変換され出力される。以上のように本発明の実施例によれば、1回の読み取り期間中に暗出力が変動しない場合で光源変動に影響されることがなしに量子化、シェーディング補正できる効果があり、また並べ替えを行なうことにより、1つのCCDラインセンサを用いたときと同様の出力形式で出力データが得られる。

【0022】図8は、信号処理部の他の実施例を示す図である。図8に示す信号処理部11において減算回路63a, 63bまでは、図6の信号処理部と同じ構成である。図6に示した信号処理部との違いは、減算回路63a, 63bの出力が並べ替え回路67に入力され、2つの並列データ列を原稿画像の端のデータから並んだ1つの直列データ列として並び替えられることである。このため切り替え回路64、白基準メモリ65、除算回路66は1つずつとなっている。図8における信号処理部では、シェーディング補正は並べ替え回路67のあとに行なうことになる。その外は図6に示した信号処理部と同じである。図8の信号処理部は、図6の信号処理部と同じ効果があり、またその上シェーディング補正のための回路構成が簡単になる。

【0023】図9は、信号処理部の更に他の実施例を示す図である。図9に示す信号処理部11においてA/D変換回路56a, 56bまでは、図6の信号処理部と同じである。図6に示した信号処理部との違いは、A/D

アドレスはリセットされる。

【0020】画像の入力は減算回路63a, 63bまでは上記白基準の取り込みと同じように行われる。以下、白基準入力と画像入力の違いを説明する。減算回路63a, 63bから出力されるデータは、

示の位置とし除算回路66a, 66bに入力され、各ラインごとに白基準メモリ65a, 65bを読み出した出力で除算を行う。

【0021】これにより除算回路66a, 66bの出力は(式(6))/(式(5))より

変換回路56a, 56bの出力が、切り替え回路68a, 68bを介して、並べ替え回路67、メモリ69a, 69bに入力され、2つの並列データを原稿画像の端のデータ列から並んだ1つの直列データ列として並べ替えられることである。この時、並べ替え回路67にそのままデータを入力した場合、図10(C)に示したようにDS(S)の情報がこわれてしまう。このためDS(S)の情報を壊さないためにメモリ69a, 69bにそれぞれのセンサから出力されたDS(S)の情報を保存しておき、データを並べ替えた後、セレクト回路70において2つのDS(S)を挿入し、図10(D)のようなデータに変換して出力する。図9に示した信号処理部においては、暗出力補正、シェーディング補正は、並べ替え回路の後に行なう。その外は図6に示した信号処理部と同じである。図9の信号処理回路は、図6の信号処理回路と同じ効果があり、またその上暗出力補正、シェーディング補正のための回路構成が簡単になる。

【0024】また、図6、図8、図9の信号処理部においては、暗時出力信号をCCDラインセンサから読み出すときの蓄積時間を、画像を読み出すときのラインあたりの蓄積時間に比べ長く設定することで、あらかじめ取り込み1ラインの暗時出力信号の出力レベルを大きくすることができるので、信号処理中の劣化を小さくでき、これを暗時出力パターンとして記憶することにより、さらに精度の高い暗時出力補正ができる。

【0025】図11は、図6に示した信号処理部の他の実施例を示す図で、図6と異なる点は、加算回路61a, 61b及びメモリ62a, 62bが付加される点である。前記(3)式に示すように、A/D変換回路56a, 56bの出力は、切り替え回路57a, 57bを図示の位置とし加算平均化回路59a, 59b、減算回路63a, 63bに導かれる。一方、この動作と同時に次のことが行われる。暗出力メモリ58a, 58bから、はじめの画素に対応する暗出力から順に読み出しが行なわれる。この出力は加算回路61a, 61bに入力され

(CCDラインセンサの1ライン分以上のメモリ領域をもつ)、メモリ62a、62bの出力との和が加算回路61a、61bから出力される。次に暗出力メモリ58a、58bは暗出力パターン(式(2))を1番目からn番目まで順に信号を出力するが、1つのCCDラインセンサの持つ画素数(n画素)だけ信号を出力したあとは、ゼロを出力する。このため乗算回路60a、60bの出力は、n画素分の信号を出力するまでは $d_{sk}(j)/D_{sk}$ であり、n+1画素目からあとはゼロである。

$$\Sigma\{d_{sk}(j+m(h-1))\}/D_{sk}$$

が導かれることになる。乗算回路60a、60bのもう一方の入力には加算平均化回路59a、59bの出力が入力される。加算平均化回路59a、59bは、入力される制御信号がONのときに、入力される画素出力を順次加算して平均値を得る機能を有しており、平均値を得たあとそのままの値を保持する。この場合は第1ライン読取り時のDS(S)の値のときにONとなる制御信号が入力されている。この間の $d_{sk}(j)$ はゼロであるの

$$\{D_{sk}/(V_{sk}+V_{sk})\} \cdot \Sigma\{d_{sk}(j+m(h-1))\}/D_{sk} \\ = \Sigma\{d_{sk}(j+m(h-1))\}/(d_{sk}+d_{sk})$$

となり、減算回路63a、63bの負側入力に導かれる。

【0027】一方、減算回路63a、63bの正側入力 $d_{sk}(j)/(d_{sk}+d_{sk})$

となる。この白基準読み取りの各演算は、読み出し画素数(各センサでm画素)だけ行われる。この出力(式(5))を切り換え回路64a、64bを図示とは反対の切り換え位置として白基準メモリに記録する。これにより1ライン(各センサでm画素)の白基準の取り込みが終わる。この後、暗出力メモリ58a、58b、メモリ62a、62b、白基準メモリ65a、65bの書き込みアドレス、読み出しアドレスはリセットされる。画像の入力は減算回路63a、63bまでは上記白基準の取り込みと同じように行われる。以下、白基準入力と画像入力の違いの説明については、前述した(6)式以下の説明と同様である。また、図12は、図8に加算回路61a、61b及びメモリ62a、62bを付加したものであり、図13も図9に加算回路61及びメモリ62を付加したものである。

【0028】図14は、信号処理部の更に他の実施例を示す図である。図14に示した信号処理部において、図11に示した信号処理部との違いは、図11における暗出力メモリ58a、58bを本発明の実施例では、読みだし専用化(ROM化)した暗出力メモリ80a、80bを用いるようにしたことである。従って暗出力の取り込みの動作はなく、これに必要な要素は省略されている。暗出力メモリ80a、80bへの記憶は、例えば製造段階、メンテナンス時などに図11の実施例と同様の考え方で行なうようにする。この信号処理部は暗出力パターンが光電変換素子の各々で経時変化が小さくある程

【0026】一方、メモリ62a、62bは読みだし動作としては、1番目から1つのセンサの読みだし画素数であるm番目までの信号を出力したあとは読みだしアドレスをリセットする。書き込み動作としては加算回路61a、61bの出力をそれぞれ1番目から順にm番目まで書き込んでいき、m番目を書き込んだあと書き込みアドレスをリセットする。このため乗算回路60a、60bの入力には、

(8)

で、加算平均化回路59a、59bの出力は、DS

(S)の平均値、あるいは代表値である $D_{sk}/(d_{sk}+d_{sk})$ となる。この値が以下の白基準読み取り、画像読み取りで乗算回路60a、60bに入力される。加算回路61a、61bのもう一方の入力は、暗出力メモリ58a、58bからの出力(式(2))であり、この結果、乗算回路60a、60bの出力は、

(9)

には、式(3)が入力されるので減算回路63a、63bの出力は

(10)

度保存される場合に適用できる。図14の信号処理部は、図11の信号処理部と同じ効果があり、その上、暗出力記憶動作、切り替え回路が不要になるので回路構成が簡単になる。

【0029】図15は、信号処理部の更に他の実施例を示す図である。図15の信号処理部は、図12の信号処理部の暗出力メモリ58a、58bのかわりにROM化した暗出力メモリ80a、80bを用いるようにしたものである。従って、図12の信号処理部と同様に暗出力の動作はなくこれに必要な動作は省略されている。また暗出力メモリ80a、80bへの記憶、適応条件は図14図に示す実施例と同じである。図15の信号処理部は、図12の信号処理部と同じ効果があり、その上、暗出力記憶動作、切り替え回路が不要になるので回路構成が簡単になる。

【0030】図16は、信号処理部の更に他の実施例を示す図である。図16の信号処理部は、図13の信号処理部の暗出力メモリ58のかわりにROM化した暗出力メモリ80を用いるようにしたものである。従って、図13の信号処理部と同様に暗出力の動作はなくこれに必要な動作は省略されている。また暗出力メモリ80への記憶、適応条件は図13の実施例と同じである。図16の信号処理部は、図13の信号処理部と同じ効果があり、その上、暗出力記憶動作、切り替え回路が不要になるので回路構成が簡単になる。

【0031】また、図11、図12、図13の信号処理

30

40

50

部においては、暗時出力信号をCCDラインセンサから読み出すときの蓄積時間を、画像を読み出すときのラインあたりの蓄積時間に比べ長く設定することで、あらかじめ取り込む1ラインの暗時出力信号の出力レベルを大きくすることができるので、信号処理中の劣化を小さくでき、これを暗時出力パターンとして記憶することにより、さらに精度の高い暗時出力補正ができる。

【0032】

【効果】以上の説明から明らかなように、本発明によると、以下のような効果がある。

(1) 請求項1記載の発明では、光電変換素子により原稿の濃度に応じた電気信号を得る画像読取装置において、原稿領域を主走査方向に2分割して読み取るように光電変換素子をその原稿領域に対応させて2つ設け、この2つの光電変換素子の最初に読み出される読み取り画素に対応する原稿位置の方向が互いに逆方向となるように配置し、原稿以外からの反射光を遮光する主走査方向に移動可能な遮光板と、主走査方向に移動可能な副白色基準板と、原稿のサイズを検知する原稿サイズ検知手段と、原稿のサイズにより遮光板の位置を制御する遮光板制御手段と、原稿のサイズにより副白色基準板を移動する副白色基準板制御手段と、原稿のサイズにより照明光源の強度を制御する照明光源制御手段と、原稿のサイズにより副走査速度を制御する副走査速度制御手段とを設け原稿領域に対応する画素のみを読み出すようにし、光電変換素子の出力信号の感光部がなく転送部のみの画素の出力部分をホールドする手段と、副白色板を撮像した出力部分をホールドする手段と、上記2つのホールドする手段の出力を基準として白色基準板および画像読み取り信号を正規化する手段と、上記正規化する手段の出力である正規化された白色基準板読み取り信号を1ラインにわたり記憶する手段と、上記正規化手段の出力である正規化された画像読み取り信号を上記記憶手段の内容を1ラインにわたり読み出した出力により正規化する第2の正規化手段とを設けたシェーディング補正するようにしたので、高速高精細な読み取りが可能で、小さい原稿を読み取るときにはさらに高速に読み取ることができ、光源強度の時間変化に追従したシェーディング補正が可能となる。

(2) 請求項2記載の発明では、請求項1記載の発明において、光電変換素子の出力信号のうち感光部がなく転送部のみの画素の出力部分をホールドする手段と、感光部に光シールドがなされている画素の出力をホールドする手段と、前記2つのホールドする手段の出力を基準として1ラインの暗時出力を正規化する手段と、前記正規化された暗時出力を記憶する手段と、感光部にシールドがなされている画素の出力をホールドする第2の手段と、前記ホールドする第2の手段の出力と前記記憶手段の出力を乗算する手段と、その乗算する手段の出力を、画像を読み取った出力から減ずる減算手段とを設け光電

変換素子から出力される暗時出力を生成して画像を読み取った出力から減じるので、光電変換素子の持つ画素数より少ない画素数だけ読みだしを行なったときにも暗時出力の補正ができる。

(3) 請求項3記載の発明では、請求項1記載の発明において、光電変換素子の出力信号のうち感光部がなく転送部のみの画素の出力部分をホールドする手段と、感光部に光シールドがなされている画素の出力をホールドする手段と、前記2つのホールドする手段の出力を基準として1ラインの暗時出力を正規化する手段と、前記正規化された暗時出力を記憶する手段と、感光部にシールドがなされている画素の出力をホールドする第2の手段と、前記ホールドする第2の手段の出力と前記記憶手段の出力を乗算する手段と、前記乗算する手段の出力から実際に光電変換素子から出力される暗時出力を生成する手段と、前記実際に光電変換素子から出力される暗時出力を生成する手段の出力を、画像を読み取った出力から減ずる減算手段とを設け、実際に光電変換素子から出力される暗時出力を生成して画像を読み取った出力から減じるので、光電変換素子の持つ画素数より少ない画素数だけ読みだしを行なったときにも暗時出力の補正ができる。

(4) 請求項4記載の発明では、請求項2又は3記載の発明において、1ラインにわたる暗時出力信号を光電変換素子から読み出すときの蓄積時間を画像を読み取りときのラインあたりの蓄積時間に比べ長く設定するようにしたのでより高精度な暗時出力の補正が可能である。

(5) 請求項5記載の発明では、請求項1記載の発明において、1ラインにわたる暗時出力信号の記憶手段と、感光部に光シールドがなされている画素の出力部分をホールドする手段と、上記ホールド手段の出力と上記記憶手段の内容を1ラインにわたり読み出した出力とを乗算する手段と、上記乗算手段の出力から実際に光電変換素子から出力される蓄積された暗時出力信号を生成する手段と、上記蓄積された暗時出力信号を生成する手段の出力を画像を読み取ったときの出力から減ずる演算手段を設け、実際に光電変換素子から出力される暗時出力を生成して画像を読み取った出力から減じるので、光電変換素子の持つ画素数より少ない画素数だけ読みだしを行なったときにも暗時出力の補正ができる。

(6) 請求項6記載の発明では、請求項1～4記載の発明において、並べ替え回路を設けたので、1つの光電変換素子と同じ出力形式の出力データを得ることができ

【図面の簡単な説明】

【図1】 本発明による画像読取装置の一実施例を説明するための構成図である。

【図2】 光電変換系、駆動系、信号処理系を示す図である。

【図3】 CCD駆動部の出力パルスを示すタイミング

図である。

【図 4】 CCDラインセンサの出力信号を示す図である。

【図 5】 CCDラインセンサの暗出力の重なりの様子を示す図である。

【図 6】 信号処理部の実施例を示す図である。

【図 7】 CCDラインセンサの 1 ライン分の出力を示す図である。

【図 8】 信号処理部の他の実施例を示す図である。

【図 9】 信号処理部の更に他の実施例を示す図である。

【図 10】 並べ替え回路の入力データ列と出力データ列を示す図である。

【図 11】 信号処理部の更に他の実施例を示す図である。

【図 12】 信号処理部の更に他の実施例を示す図である。

る。

【図 13】 信号処理部の更に他の実施例を示す図である。

【図 14】 信号処理部の更に他の実施例を示す図である。

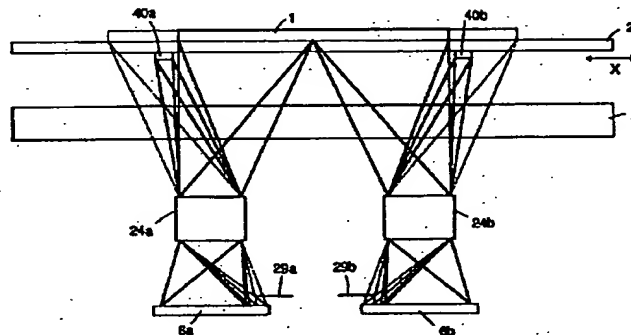
【図 15】 信号処理部の更に他の実施例を示す図である。

【図 16】 信号処理部の更に他の実施例を示す図である。

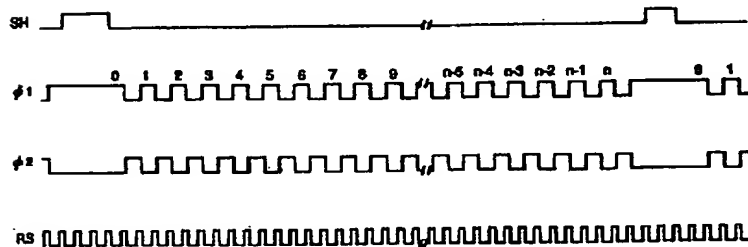
【符号の説明】

7 a, 7 b…CCDシフトレジスタ、8 a, 8 b…フォトダイオードアレイ、9 a, 9 b…出力部、10…CCD駆動部、11…信号処理部、30…遮光板制御部、31…原稿サイズ検知部、32…照明光源制御部、33…副走査速度制御部、34…副白色基板制御部。

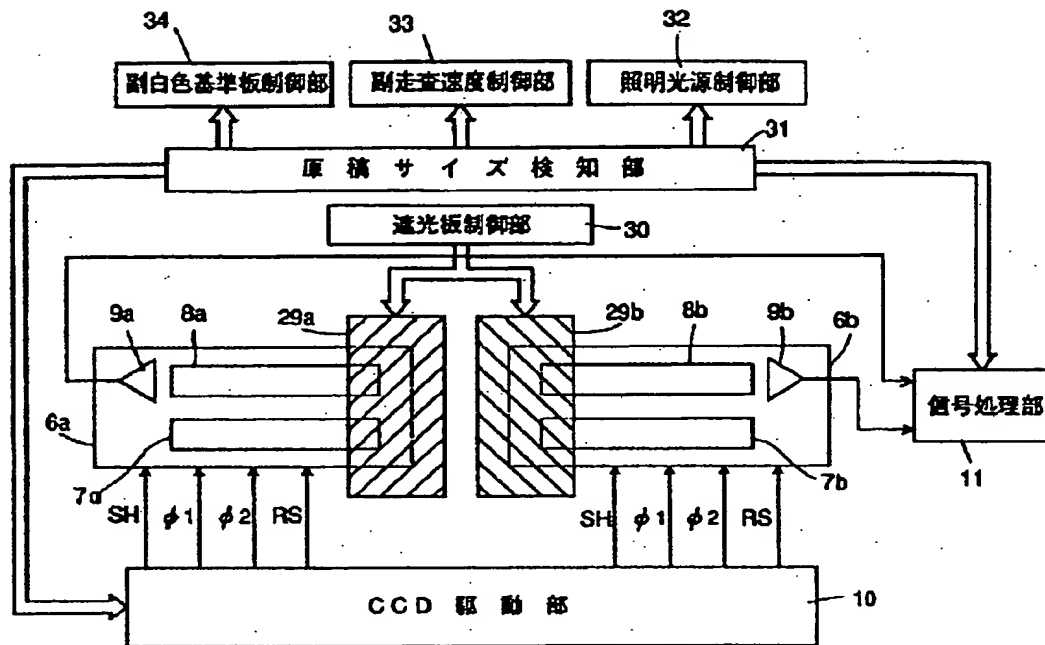
【図 1】



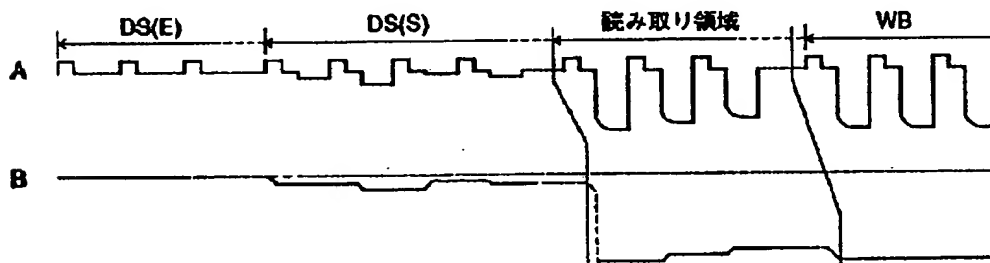
【図 3】



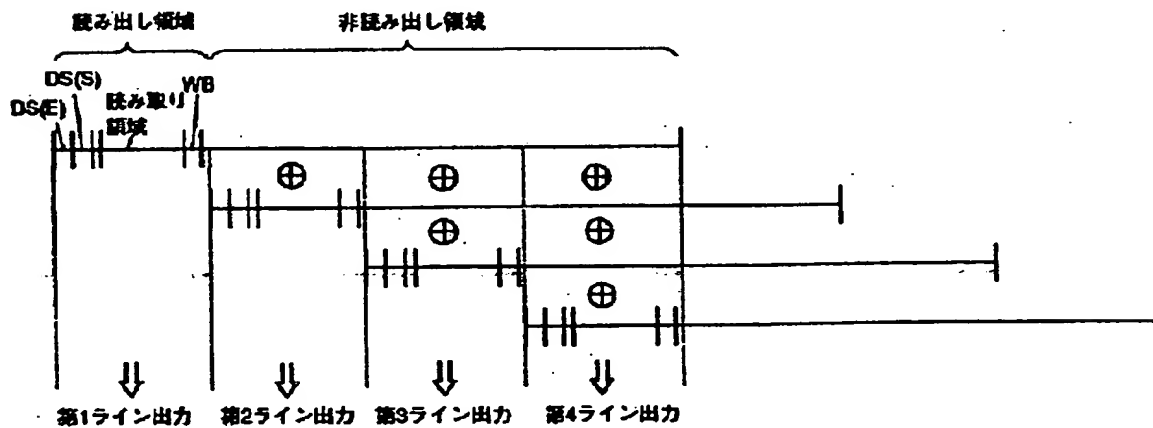
【図 2】



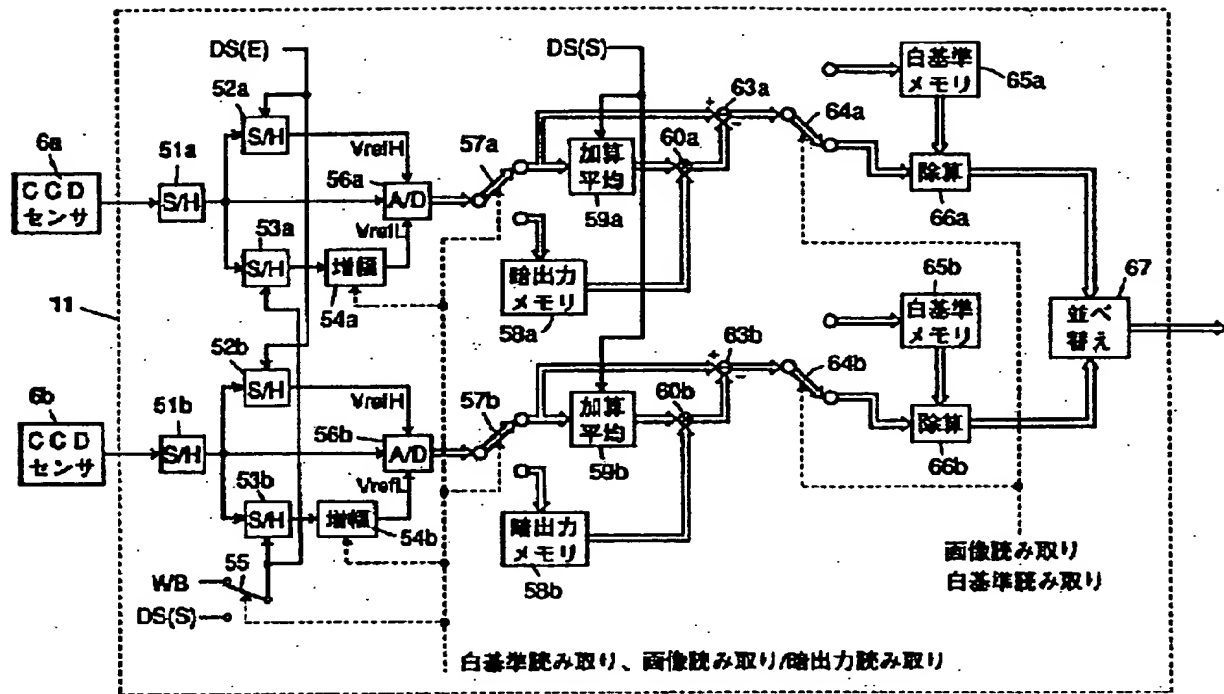
【図 4】



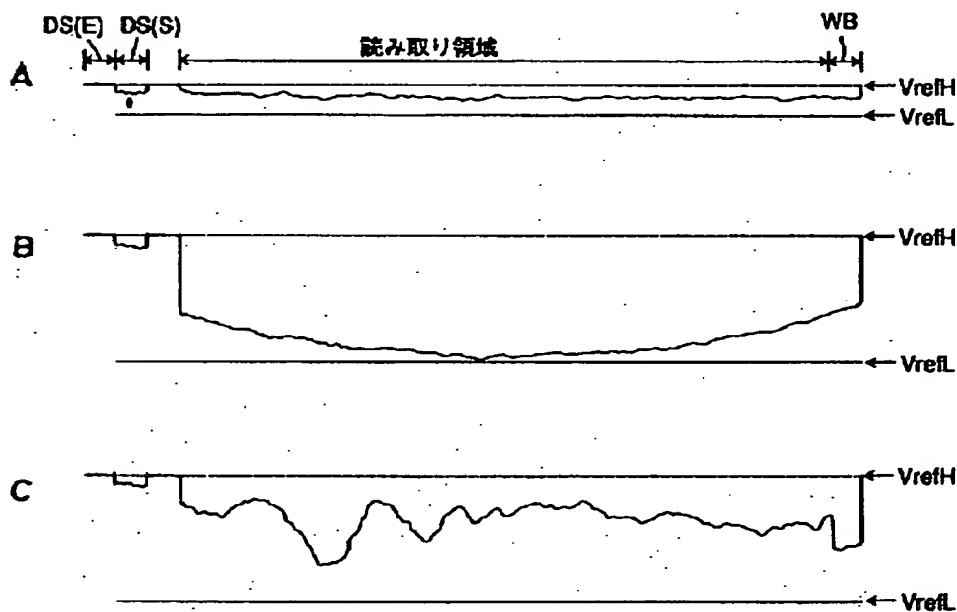
【図 5】



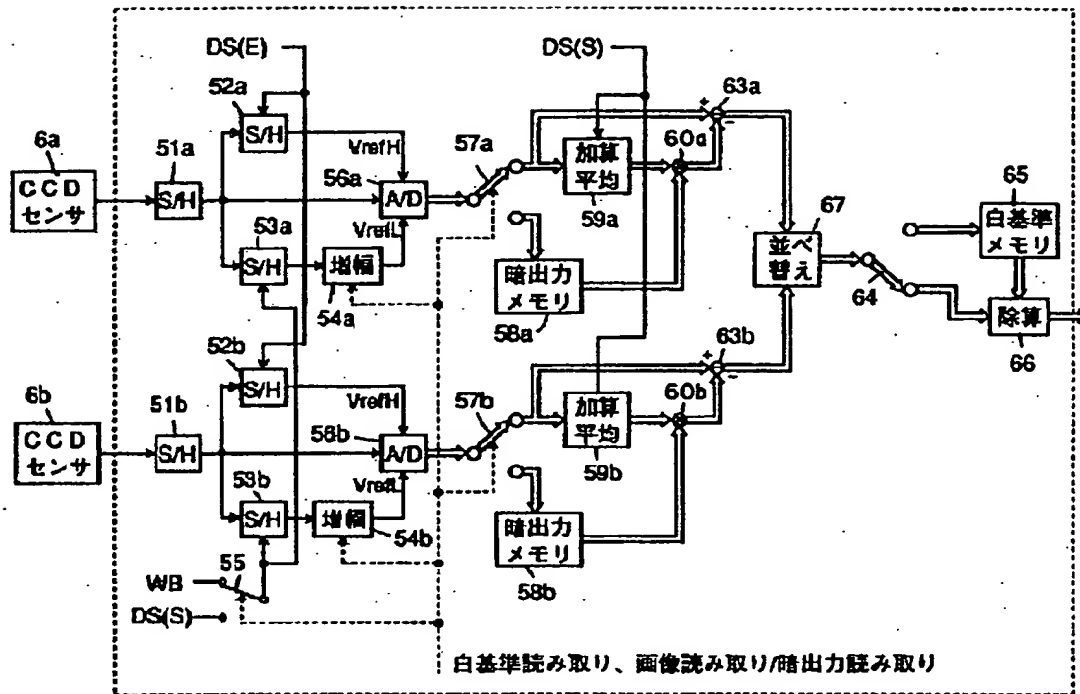
【図6】



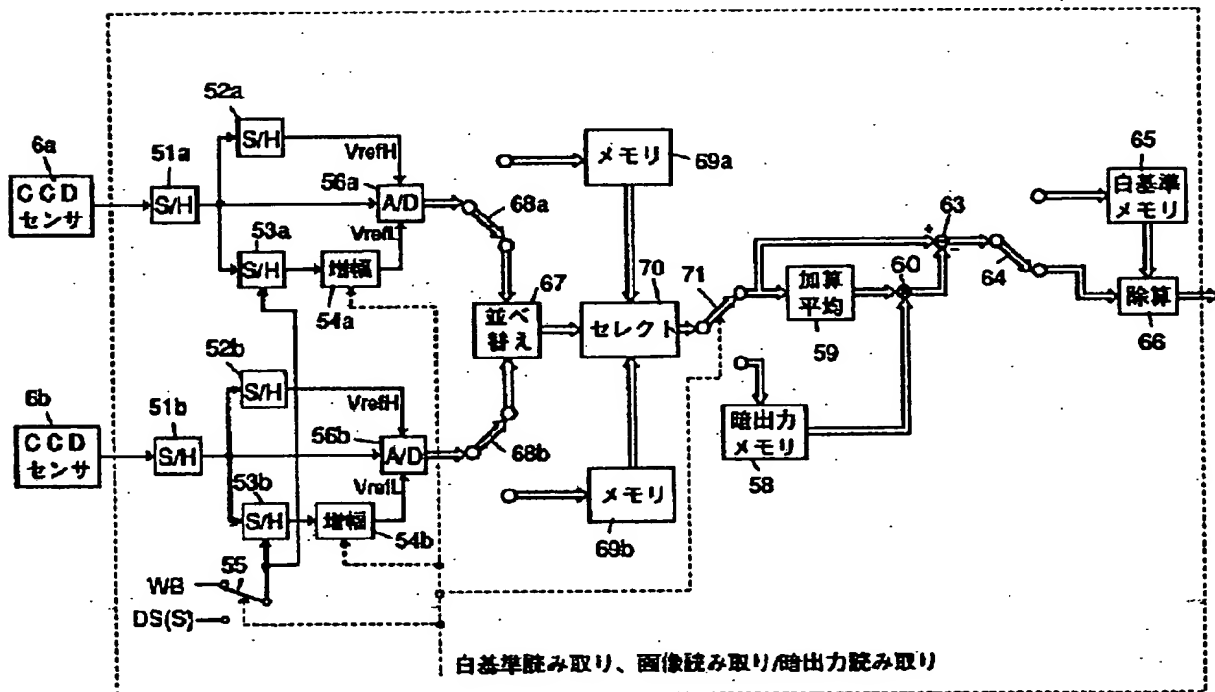
【図7】



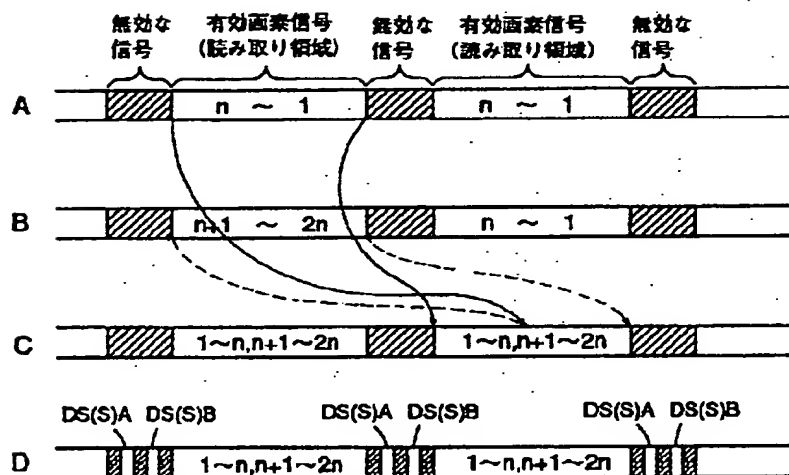
【図8】



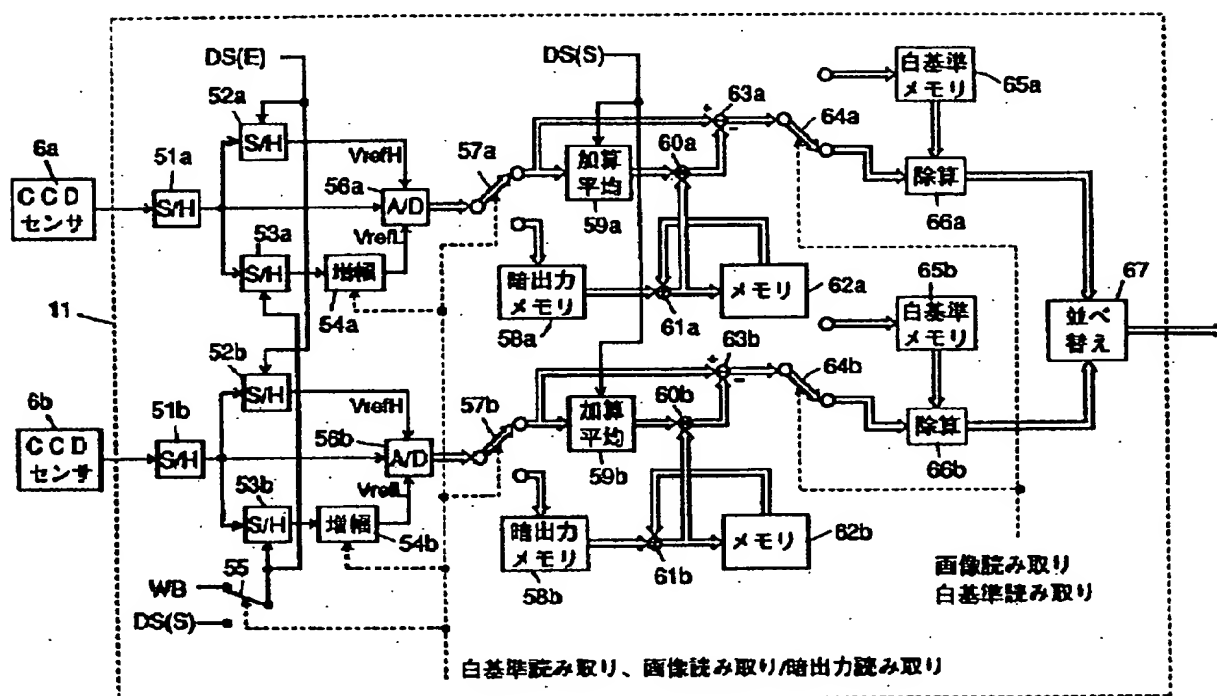
【図9】



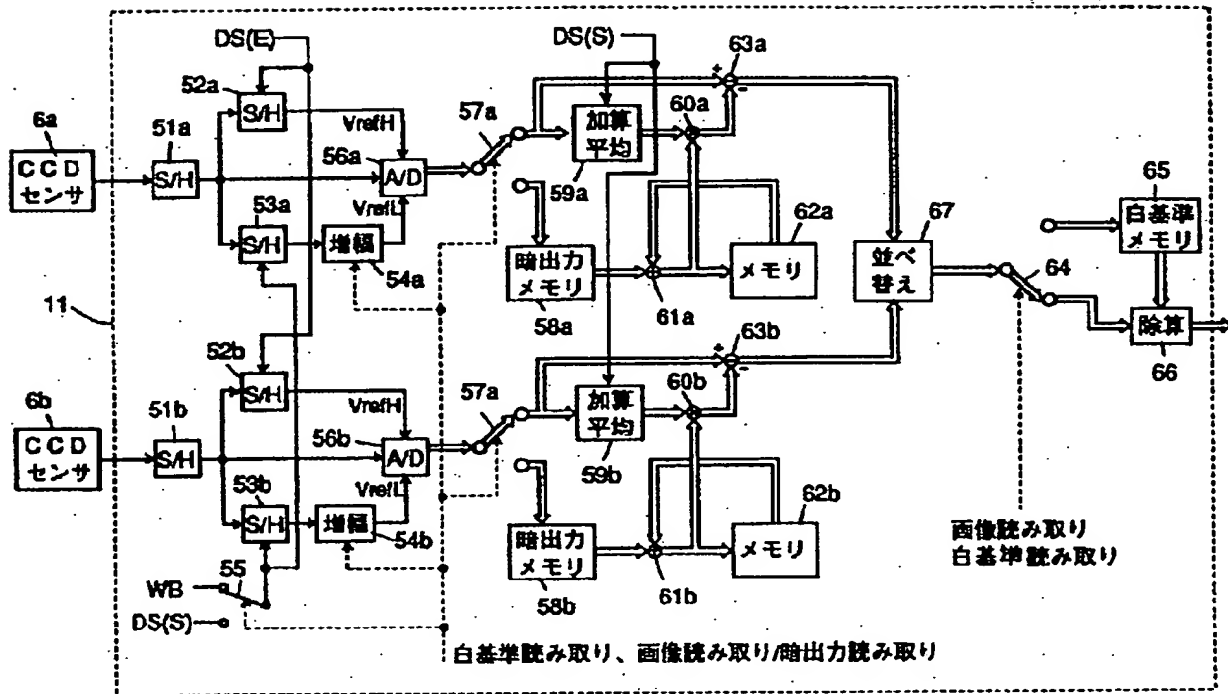
【図 10】



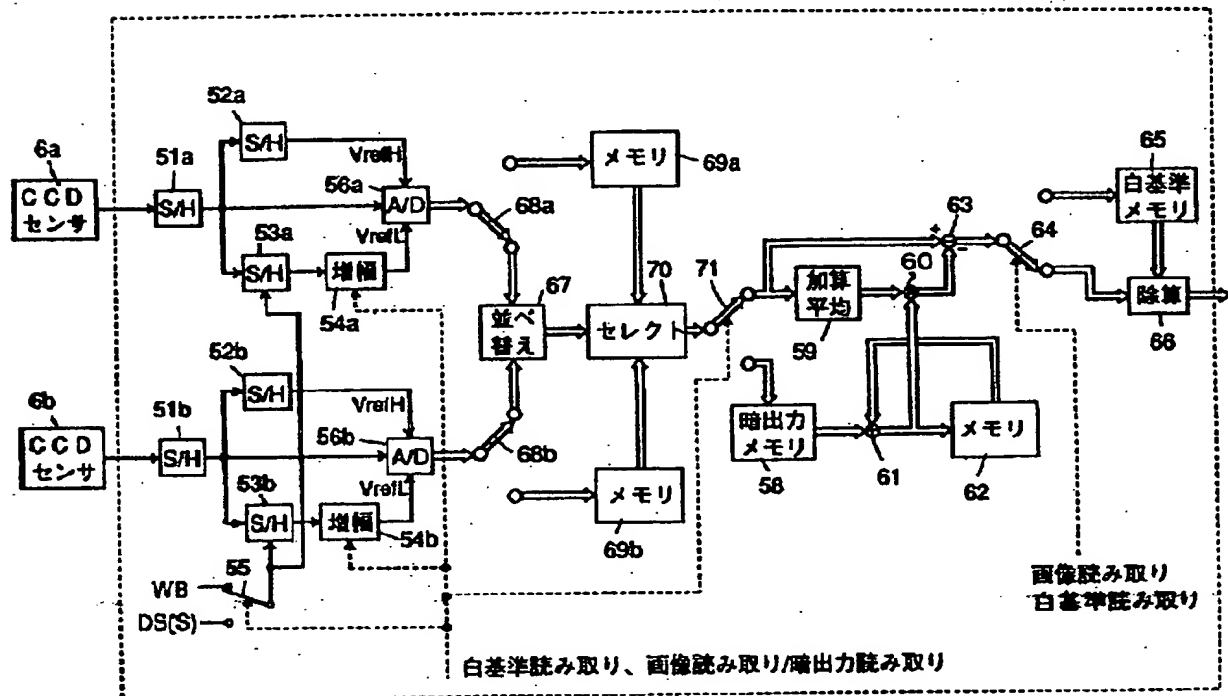
【図 11】



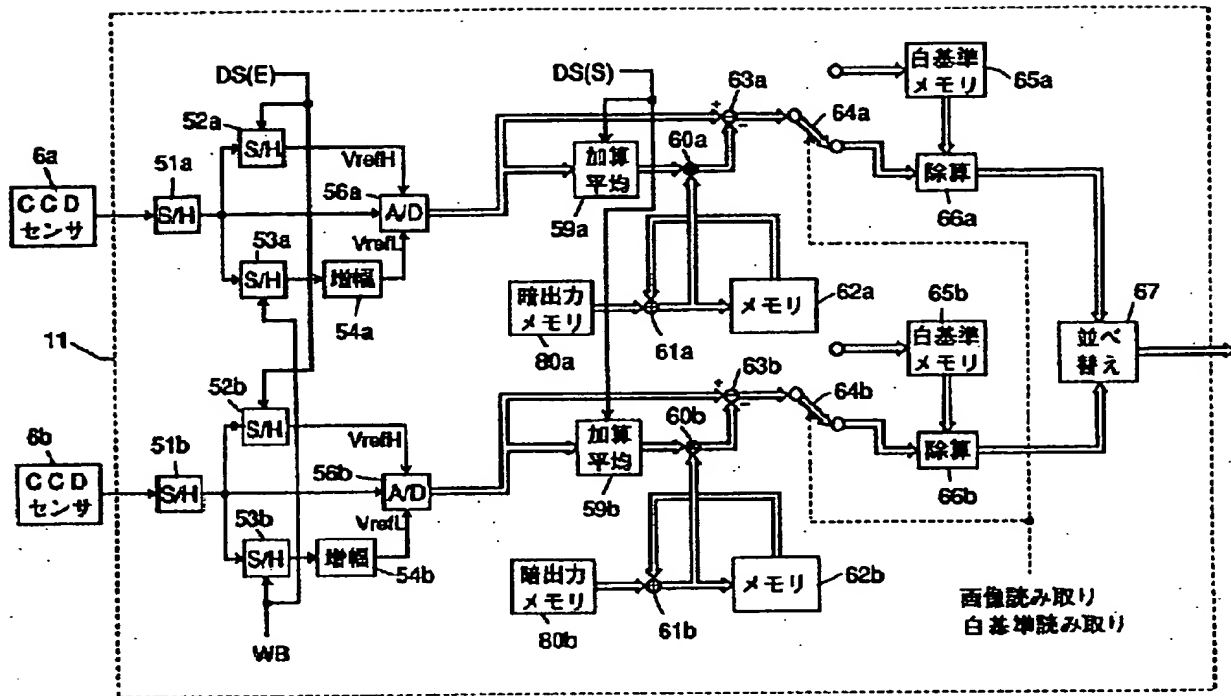
【図12】



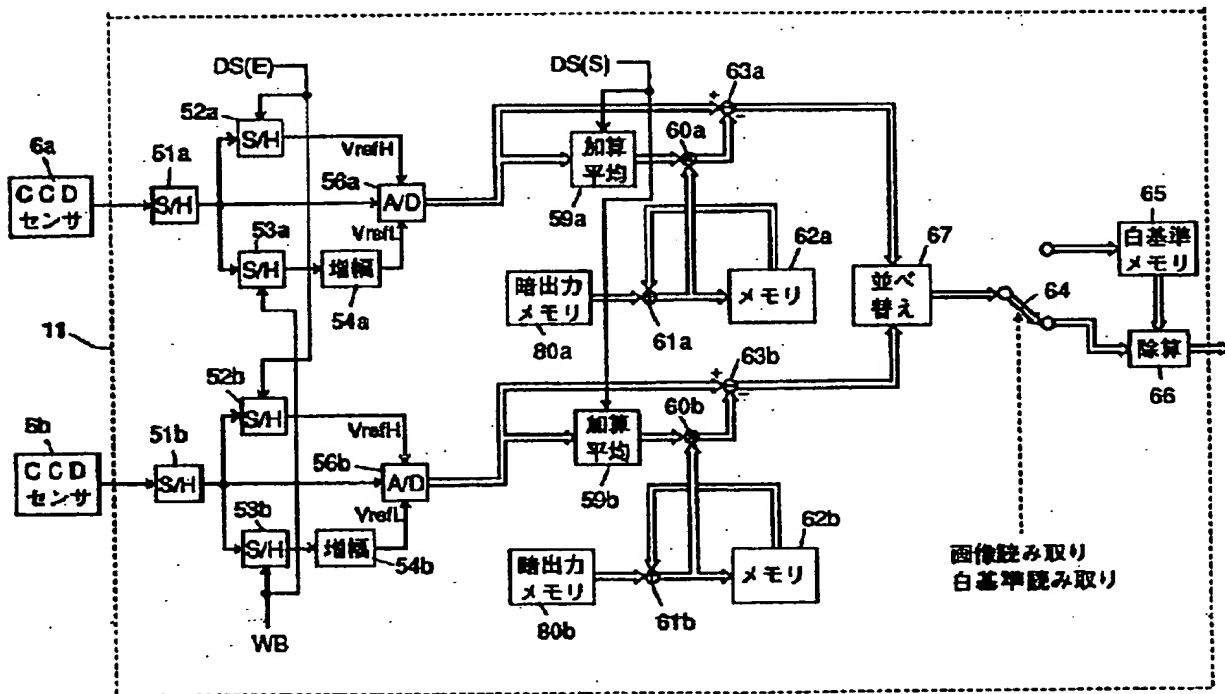
【図13】



【図 1 4】



【図 1 5】



【図 1 6】

